



* El secuencial cuenta con memoria y el sistema combinacional no
* En el sistema combinacional la salida depende solo de las entradas y un secuencial también depende de las salidas ya que se retroalimenta
* El sistema combinacional este compuesto por compuertas lógicas y el sistema secuencial se compone de circuitos combinacionales y elementos de memoria.



Es un estado que vuelve inestable al circuito y el estado de todo FF debe ser estable

El flip-flop más usado en los PLDs son los Flip-Flops tipo D, la GAL 22V10 tiene 10



La diferencia es que el flip-flop cuenta con una señal de reloj

Diagrama

Descripción generada automáticamente con confianza media

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| PRE | CLR | C | Qt | X | Q | Q’ |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 0 |

library library IEEE;

use IEEE.std\_logic\_1164.all;

entity FFE is

    port(PRE, CLR, CLK, X: in std\_logic;

    Q,NQ: out std\_logic);

end entity

architecture A\_FFE of FFE is

begin

    procces(CLR, PRE, CLK, X)

    begin

        if(CLR='1') then

            Q<='0';

            NQ<='1';

        elsif(CLK'event and CLK='0') then

            if(PRE='0') then

                Q<='1';

                NQ<='0';

            elsif(X='0') then

                Q<='0';

                NQ<='1';

            else

                Q<='1';

                NQ<='0';

            end if;

        else

            if() then

        end if;

    end process;

end architecture A\_FFE;